PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 6: (11) Internationale Veröffentlichungsnummer: WO 98/28697 G06F 15/78, H03K 19/177 (43) Internationales Veröffentlichungsdatum: 2. Juli 1998 (02.07.98)

(21) Internationales Aktenzeichen:

PCT/DE97/03013

(22) Internationales Anmeldedatum:

21. Dezember 1997

(21.12.97)

(30) Prioritätsdaten:

196 54 595.1

20. Dezember 1996 (20.12.96) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): PACT IN-FORMATIONSTECHNOLOGIE GMBH [DE/DE]; Thelemannstrasse 15, D-81545 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): VORBACH, Martin [DE/DE]; Hagebuttenweg 36, D-76149 Karlsruhe (DE). MÜNCH, Robert [DE/DE]; Hagebuttenweg 36, D-76149 Karlsruhe (DE).

(81) Bestimmungsstaaten: AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent CB, CC, CM, GA, GN, MI, MP, NE, SN, TD (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD,

Veröffentlicht

Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.

- (54) Title: IO- AND MEMORY BUS SYSTEM FOR DFPs AS UNITS WITH TWO- OR MULTI-DIMENSIONALLY PRO-GRAMMABLE CELL STRUCTURES
- (54) Bezeichnung: IO- UND SPEICHERBUSSYSTEM FÜR DFPs SOWIE BAUSTEINE MIT ZWEI- ODER MEHRDIMENSIONALEN PROGRAMMIERBAREN ZELLSTRUKTUREN

(57) Abstract

The invention relates to a bus system produced by concentrating individual conductors or buses within a unit of the type DFP, FPGA, DPGA, as well as all units with two- or multi-dimensionally programmable cell structure, and via which the units can be assembled to form several and/or can be connected to a memory and/or a periphery.

(57) Zusammenfassung

Es wird ein Bussystem vorgeschlagen, das durch Bündelung mehrerer einzelner Leitungen oder Busse oder Teilbusse innerhalb eines Bausteines der Gattung DFP, FPGA, DPGA, sowie allen Bausteinen mit zwei- oder mehrdimensionaler programmierbarer Zellstruktur hergestellt ist, und über welches die Bausteine zu Mehreren zusammengefaßt werden können und/oder Speicher und/oder Peripherie anschließbar sind/ist.